



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000244456 A**

(43) Date of publication of application: 08 . 09 . 00

(51) Int. Cl.

H04J 13/04
H04B 7/216
(21) Application number: **11042992**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(22) Date of filing: **22 . 02 . 99**(72) Inventor: **KATAOKA NOBUHISA**

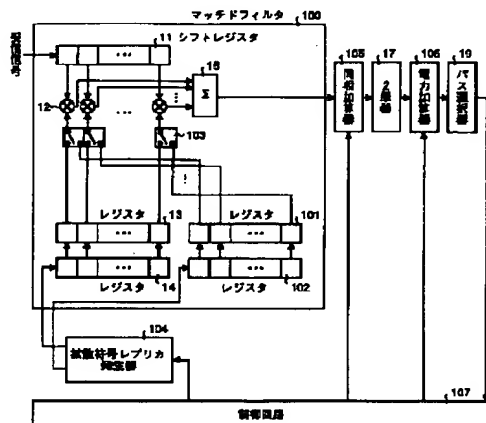
(54) **PATH DETECTOR FOR DIRECT CODE DIVISION
MULTIPLE ACCESS AND ITS CONTROL
METHOD**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a path detector that detects also a path of a delayed wave with a long delay time in the case that a direct code division multiple access DS-CDMA demodulator detects the path and to provide its control method.

SOLUTION: In this path detector, when a sampled reception signal is given to a matched filter 100, the reception signal is given to a shift register 11 in the matched filter 100 for each sample, the signal given to the shift register 11 is multiplied respectively by spread code replicas stored in registers 13 and 101 via a switch 103, an adder 15 sums the products to calculate a correlation value and the matched filter 100 outputs the calculated correlation value.

COPYRIGHT: (C)2000,JPO



(11)特許出願公開番号

(P2000-244456A)

(43)公開日 平成12年9月8日(2000.9.8)

テーマコート* (参考)

G 5 K 0 2 2

D 5 K 0 7 2

審査請求 未請求 請求項の数6 O.L (全 12 頁)

(71)出願人 000006013

東京都千代田区丸の内二丁目2番3号

(72)発明者 片岡 信久

菱電機株式会社内

弁理士 酒井 宏明

5K072 BB13 CC20 DD11 DD16 FF09

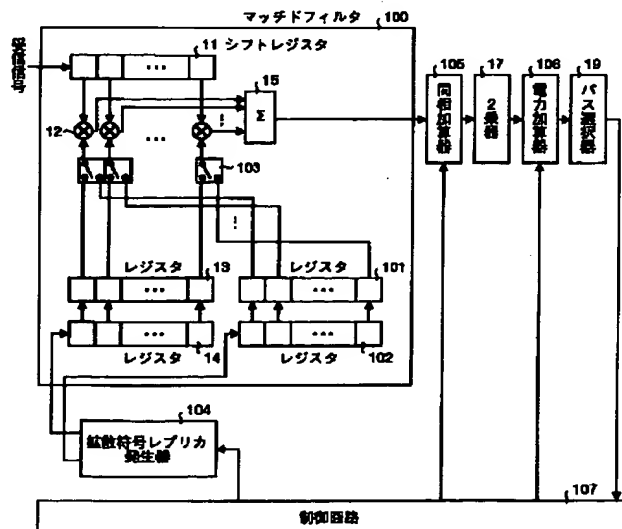
GG25 GG26

(54) 【発明の名称】 直接符号分割多重アクセス用のパス検出装置およびその制御方法

(57) 【要約】

【課題】 DS-CDMA復調器がパスを検出する際に、遅延時間が長い遅延波のパスについても検出することができるパス検出装置とその制御方法を提供すること。

【解決手段】 サンプリングされた受信信号がマッチドフィルタ１００に入力されると、この受信信号はサンプル毎にマッチドフィルタ１００内のシフトレジスタ１１に入力され、このシフトレジスタ１１に入力された信号は、スイッチ１０３を介してレジスタ１３およびレジスタ１０１に格納された拡散符号レプリカとそれぞれ乗算し、これを加算器１５で加算して相関値を算出し、算出した相関値をマッチドフィルタ１００から出力する。



【特許請求の範囲】

【請求項 1】 サンプリングされた受信信号に拡散符号を適用してその相関値を出力するマッチドフィルタを用いて、異なるタイミングで受信される複数の受信信号の受信タイミングを検出する直接符号分割多重アクセス用のパス検出装置において、位相の異なる複数の拡散符号を発生する拡散符号発生手段と、前記拡散符号発生手段による複数の拡散符号の発生タイミングを制御する制御手段と、前記拡散符号発生手段が発生した位相の異なる複数の拡散符号をそれぞれ格納する複数のレジスタと、前記複数のレジスタに格納された位相の異なる複数の拡散符号を一サンプル時間内に前記受信信号に適用して、一サンプルごとに複数の相関値を算出する相関値算出手段と、所望の観測時間幅分の容量を有するメモリを用いて複数の遅延プロファイルを作成する遅延プロファイル作成手段と、を備えたことを特徴とする直接符号分割多重アクセス用のパス検出装置。

【請求項 2】 一サンプルごとに複数の相関値を算出するか否かを指示する指示手段をさらに具備し、前記相関値算出手段は、前記指示手段からの指示内容に応答して、前記複数のレジスタに格納された位相の異なる複数の拡散符号を前記受信信号に適用して複数の相関値を算出するか、または所定のレジスタに格納された拡散符号のみを前記受信信号に適用して一つの相関値を算出することを特徴とする請求項 1 に記載の直接符号分割多重アクセス用のパス検出装置。

【請求項 3】 サンプリングされた受信信号を格納するシフトレジスタ、前記受信信号に適用する拡散符号を格納する第 1 のレジスタ並びに該第 1 のレジスタに格納した拡散符号を更新する更新用の拡散符号を格納する第 2 のレジスタを少なくとも有し、前記シフトレジスタに格納した受信信号に前記第 1 のレジスタに格納した拡散符号を適用した場合の相関値を出力するマッチドフィルタと、前記マッチドフィルタの第 2 のレジスタに格納する拡散符号を発生する拡散符号発生手段と、前記マッチドフィルタから出力される相関値を巡回加算する巡回加算手段とを備え、異なるタイミングで受信される複数の受信信号の受信タイミングを検出する直接符号分割多重アクセス用のパス検出装置において、前記マッチドフィルタは、複数の第 1 のレジスタおよび第 2 のレジスタと、各第 1 のレジスタに格納した拡散符号を前記シフトレジスタに格納した受信信号に切替適用する切替手段と、を備え、前記拡散符号生成手段は、前記複数の第 2 のレジスタにそれぞれ格納する複数の拡散符号を発生し、前記巡回加算手段は、所望の観測時間幅分の容量のメモ

リを用いて複数の遅延プロファイルを作成することを特徴とする直接符号分割多重アクセス用のパス検出装置。

【請求項 4】 サンプリングされた受信信号に複数の拡散符号を一サンプル時間内に適用して一サンプルごとに複数の相関値を出力するマッチドフィルタを用いて、異なるタイミングで受信される複数の受信信号の受信タイミングを検出する直接符号分割多重アクセス用のパス検出装置の制御方法において、

前記複数の拡散符号に含まれる拡散符号を所定の時間適用して遅延プロファイルを取得し、取得した一つまたは複数の遅延プロファイルからパス位置とパスレベルを検出して記憶部に記憶するよう制御する第 1 の制御工程と、

前記複数の拡散符号と位相の異なる複数の拡散符号に含まれる拡散符号を所定の時間適用して遅延プロファイルを取得し、取得した一つまたは複数の遅延プロファイルからパス位置とパスレベルを検出して記憶部に記憶する処理を所望の数の遅延プロファイルが作成されるまで繰り返すよう制御する第 2 の制御工程と、

前記第 2 の処理工程後に前記記憶部に記憶したパス位置とパスレベルに基づいて最終的なパスを選択する選択工程と、

を含んだことを特徴とする直接符号分割多重アクセス用のパス検出装置の制御方法。

【請求項 5】 前記第 2 の制御工程は、前記一つまたは複数の遅延プロファイルに基づいて処理対象の拡散符号に対応するパスが存在するか否かを判定し、前記一つまたは複数の拡散符号に対応するパスが存在しないと判定された場合には、パスの存在しない遅延プロファイルの内容をメモリから消去し、消去したメモリ上に、他の拡散符号に対応して作成された遅延プロファイルを記憶することを特徴とする請求項 4 に記載の直接符号分割多重アクセス用のパス検出装置の制御方法。

【請求項 6】 前記第 2 の制御工程は、前記一つまたは複数の拡散符号に対応するパスが存在すると判定された場合には、この拡散符号を前記マッチドフィルタに供給するとともに、当該拡散符号の時間窓に隣接する時間窓の拡散符号を時分割で前記マッチドフィルタに供給することを特徴とする請求項 5 に記載の直接符号分割多重アクセス用のパス検出装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、直接符号分割多重アクセス (DS-CDMA ; Direct Sequence- Code Division Multiple Access) 無線通信システムの復調器内に設けられるパス検出装置およびその制御方法に関し、特に、遅延時間が長い遅延波のパスについても検出することができるパス検出装置およびその制御方法に関する。

【0002】

【従来の技術】従来、DS-CDMA 無線通信システム用の復調器には、伝搬遅延時間の異なる複数の受信信号を合成して受信感度を改善するレイク (RAKE) 受信と呼ばれる技術が適用されている。そして、このレイク受信を行うためには、異なるタイミングで受信される複数の受信信号の受信タイミングを検出するパス検出処理が必要となるため、かかるパス検出を高速におこなうことができるマッチドフィルタが用いられることが多い。

【0003】たとえば、佐和橋衛、“広帯域コヒーレントDS-CDMA 無線アクセス特集”、NTT DoCoMoテクニカルジャーナルNo1.4 No. 3には、従来のマッチドフィルタの構成が詳細に開示されており、具体的には、A/D変換器を不要とし、低消費電力化を可能とするベースバンドアナログ処理技術を適用した高速マッチドフィルタLSIの構成およびその特性が記載されている。また、青山、水口、吉田、後川、“室内/屋外実験によるDS-CDMA システムのパスサーチ特性”、信学技報RCS97-164

(1997-11)には、CDMAシステムにおいて、マルチパスのタイミング同期を高精度におこなうパス検出技術が開示されている。

【0004】このため、これらの従来技術を組み合わせると、図9に示す構成を有するパス検出回路が得られる。図9において、マッチドフィルタ10に入力される信号は図示しないA/Dコンバータによりサンプリングされた受信信号であり、サンプル毎にマッチドフィルタ10内のシフトレジスタ11に入力される。そして、このシフトレジスタ11に入力された信号は、乗算器12においてレジスタ13に格納された拡散符号レプリカと乗算した後、加算器15で加算して相関値を算出し、算出した相関値をサンプル毎にマッチドフィルタ10から出力する。

【0005】レジスタ13に格納した拡散符号レプリカは、拡散符号レプリカ発生器20で作成され、レジスタ14に格納された情報を用いて周期的に書き換えられる。制御回路21は、拡散符号レプリカ発生器20にスタートパルスを供給し、かかるスタートパルスの供給によって、拡散符号レプリカ発生器20は、拡散符号レプリカの発生を開始する。なお、レジスタ13の拡散符号レプリカをレジスタ14の内容に書き換える周期は、シフトレジスタ11の段数に相当する時間に設定される。ここで、シフトレジスタ11の段数は1シンボルに設定され、たとえば1シンボル長を T_s とした場合には、レジスタ13は T_s 毎に書き換えられることになる。

【0006】マッチドフィルタ10の出力は、同相加算器16において加算され、 S/N 比が改善された後に、2乗器17により2乗され、電力加算器18においてさらに S/N 比を改善した後、パス選択器19でパスが選択される。

【0007】図10は、図9に示す同相加算器16および電力加算器18の構成を示す図であり、同図(a)お

および(b)に示すように、同相加算器16および電力加算器18は、マッチドフィルタ長(T_s)に相当する容量のメモリ16aおよび18aと、加算器16bおよび18bとで構成される。さらに、電力加算器18には、乗算器18cが含まれ、過去の加算結果に忘却係数 λ ($\lambda \leq 1$) が乗積される。これらの同相加算器16および電力加算器18には、制御回路21からメモリクリア信号が入力されており、所定のタイミングでメモリ16aおよび18aのメモリ内容がクリアされる。このようにして、電力加算器18内のメモリ18aに時間窓 T_s 分の遅延プロファイルが保存される。

【0008】パス選択器19は、作成された遅延プロファイルから複数のパスを選択して各パスの情報(位置およびレベルなど)を制御回路21に出力し、この制御回路21は、当該パス情報に基づいてレイク受信に使用するパスを検出する。このように、図9に示す従来のパス検出回路では、拡散符号レプリカを T_s 毎に書き換えていたので、符号周期が1シンボルより長いロング符号に対応することができる。

【0009】【発明が解決しようとする課題】しかしながら、上記従来のパス検出回路を用いたとしても、遅延時間が T_s 以上の遅延波のパスを検出することができないという問題がある。以下、この点について説明する。

【0010】図11は、1シンボル長が T_s である入力信号が T_s に等しい段数のマッチドフィルタ10に入力された場合におけるマッチドフィルタ10の内部状態を示す図である。同図(a)に示すように、先行波の1シンボル目がちょうどマッチドフィルタ10に入力された時点の時点を時刻 $t=0$ とすると、遅延波1および遅延波2がそれぞれ先行波に対して τ_1 および τ_2 時間遅れて受信される。ここで、遅延波2は1シンボル長 T_s よりも長く遅れて受信されている($T_s < \tau_2$)。その後、同図(b)に示すように、先行波の2シンボル目がマッチドフィルタ10に入力された時点である時刻 $t=T_s$ においては、遅延波1の2シンボル目が先行波に対して τ_1 遅れて受信され、遅延波2の1シンボル目が先行波の2シンボル目から $\tau_2 - T_s$ 遅れて受信される。

【0011】図12は、マッチドフィルタ10内の拡散符号レプリカが切り替えられる様子を示す図であり、同図(a)に示すように、 T_s 毎に拡散符号レプリカが切り替えられると、同図(b)に示すように、先行波に対するマッチドフィルタ10の出力は時刻 $t=0$ で現れ、また遅延波1に対するマッチドフィルタ10の出力は τ_1 時間だけ遅れた $t=\tau_1$ に現れるので問題はない。しかし、遅延波2については、同図(b)に示すように、時刻 τ_2 ではすでにつぎのシンボル用の拡散符号レプリカ(図12(a)中の「レプリカ2」)に切り替えられてしまっているので、マッチドフィルタ10からは遅延波2に対する相関値が出力されないという問題が生ず

20

30

40

50

る。

【0012】この発明は、上記に鑑みてなされたものであり、DS-CDMA復調器がパスを検出する際に、遅延時間が長い遅延波のパスについても検出することができる直接符号分割多重アクセス用のパス検出装置を得ることを目的とする。また、そのパス検出装置を有効に活用して、遅延時間が長い遅延波のパスを効率的に検出することができるパス検出装置の制御方法を得ることを目的とする。

【0013】

【課題を解決するための手段】上記目的を達成するため、この発明にかかる直接符号分割多重アクセス用のパス検出装置は、サンプリングされた受信信号に拡散符号を適用してその相関値を出力するマッチドフィルタを用いて、異なるタイミングで受信される複数の受信信号の受信タイミングを検出する直接符号分割多重アクセス用のパス検出装置において、位相の異なる複数の拡散符号を発生する拡散符号発生手段と、前記拡散符号発生手段による複数の拡散符号の発生タイミングを制御する制御手段と、前記拡散符号発生手段が発生した位相の異なる複数の拡散符号をそれぞれ格納する複数のレジスタと、前記複数のレジスタに格納された位相の異なる複数の拡散符号を一サンプル時間内に前記受信信号に適用して、一サンプルごとに複数の相関値を算出する相関値算出手段と、所望の観測時間幅分の容量を有するメモリを用いて複数の遅延プロファイルを作成する遅延プロファイル作成手段とを備えたことを特徴とする。

【0014】この発明によれば、制御手段のタイミング制御の下で拡散符号発生手段が位相の異なる複数の拡散符号を発生し、発生した位相の異なる複数の拡散符号をそれぞれ複数のレジスタに格納し、該複数のレジスタに格納された位相の異なる複数の拡散符号を一サンプル時間内に受信信号に適用して、一サンプルごとに複数の相関値を算出し、所望の観測時間幅分の容量を有するメモリを用いて複数の遅延プロファイルを作成することとしたので、遅延時間の長い遅延波のパスについても効率良く検出することができる。

【0015】つぎの発明にかかる直接符号分割多重アクセス用のパス検出装置は、一サンプルごとに複数の相関値を算出するか否かを指示する指示手段をさらに具備し、前記相関値算出手段は、前記指示手段からの指示内容に応答して、前記複数のレジスタに格納された位相の異なる複数の拡散符号を前記受信信号に適用して複数の相関値を算出するか、または所定のレジスタに格納された拡散符号のみを前記受信信号に適用して一つの相関値を算出することを特徴とする。

【0016】この発明によれば、一サンプルごとに複数の相関値を算出するか否かの指示内容に応答して、複数のレジスタに格納された位相の異なる複数の拡散符号を受信信号に適用して複数の相関値を算出するか、または

所定のレジスタに格納された拡散符号のみを受信信号に適用して一つの相関値を算出することとしたので、遅延時間が大きな場合と遅延時間が小さな場合で、処理形態を変えることができる。

【0017】つぎの発明にかかる直接符号分割多重アクセス用のパス検出装置は、サンプリングされた受信信号を格納するシフトレジスタ、前記受信信号に適用する拡散符号を格納する第1のレジスタ並びに該第1のレジスタに格納した拡散符号を更新する更新用の拡散符号を格納する第2のレジスタを少なくとも有し、前記シフトレジスタに格納した受信信号に前記第1のレジスタに格納した拡散符号を適用した場合の相関値を出力するマッチドフィルタと、前記マッチドフィルタの第2のレジスタに格納する拡散符号を発生する拡散符号発生手段と、前記マッチドフィルタから出力される相関値を巡回加算する巡回加算手段とを備え、異なるタイミングで受信される複数の受信信号の受信タイミングを検出する直接符号分割多重アクセス用のパス検出装置において、前記マッチドフィルタは、複数の第1のレジスタおよび第2のレジスタと、各第1のレジスタに格納した拡散符号を前記シフトレジスタに格納した受信信号に切替適用する切替手段とを備え、前記拡散符号生成手段は、前記複数の第2のレジスタにそれぞれ格納する複数の拡散符号を発生し、前記巡回加算手段は、所望の観測時間幅分の容量のメモリを用いて複数の遅延プロファイルを作成することを特徴とする。

【0018】この発明によれば、マッチドフィルタに複数の第1のレジスタおよび第2のレジスタと、第1のレジスタに格納した拡散符号をシフトレジスタに格納した受信信号に切替適用する切替手段とを設け、拡散符号生成手段では複数の第2のレジスタにそれぞれ格納する複数の拡散符号を発生し、巡回加算手段では、所望の観測時間幅分の容量のメモリを用いて複数の遅延プロファイルを作成することとしたので、遅延時間の長い遅延波のパスについても効率良く検出することができる。

【0019】つぎの発明にかかる直接符号分割多重アクセス用のパス検出装置の制御方法は、サンプリングされた受信信号に複数の拡散符号を一サンプル時間内に適用して一サンプルごとに複数の相関値を出力するマッチドフィルタを用いて、異なるタイミングで受信される複数の受信信号の受信タイミングを検出する直接符号分割多重アクセス用のパス検出装置の制御方法において、前記複数の拡散符号に含まれる拡散符号を所定の時間適用して遅延プロファイルを取得し、取得した一つまたは複数の遅延プロファイルからパス位置とパスレベルを検出して記憶部に記憶するよう制御する第1の制御工程と、前記複数の拡散符号と位相の異なる複数の拡散符号に含まれる拡散符号を所定の時間適用して遅延プロファイルを取得し、取得した一つまたは複数の遅延プロファイルからパス位置とパスレベルを検出して記憶部に記憶する処

理を所望の数の遅延プロファイルが作成されるまで繰り返すよう制御する第2の制御工程と、前記第2の処理工程後に前記記憶部に記憶したパス位置とパスレベルに基づいて最終的なパスを選択する選択工程とを含んだことを特徴とする。

【0020】この発明によれば、複数の拡散符号に含まれる拡散符号を所定の時間適用して遅延プロファイルを取得し、取得した一つまたは複数の遅延プロファイルからパス位置とパスレベルを検出して記憶部に記憶する処理を所望の数の遅延プロファイルが作成されるまで繰り返す、この処理工程後に記憶部に記憶したパス位置とパスレベルに基づいて最終的なパスを選択することとしたので、ハードウェアを増加することなく遅延時間の長い遅延波のパスを効率良く検出することができる。

【0021】つぎの発明にかかる直接符号分割多重アクセス用のパス検出装置の制御方法は、前記第2の制御工程は、前記一つまたは複数の遅延プロファイルに基づいて処理対象の拡散符号に対応するパスが存在するか否かを判定し、前記一つまたは複数の拡散符号に対応するパスが存在しないと判定された場合には、パスの存在しない遅延プロファイルの内容をメモリから消去し、消去したメモリ上に、他の拡散符号に対応して作成された遅延プロファイルを記憶することを特徴とする。

【0022】この発明によれば、一つまたは複数の遅延プロファイルに基づいて処理対象の拡散符号に対応するパスが存在するか否かを判定し、この一つまたは複数の拡散符号に対応するパスが存在しないと判定された場合には、パスの存在しない遅延プロファイルの内容をメモリから消去し、消去したメモリ上に、他の拡散符号に対応して作成された遅延プロファイルを記憶することとしたので、遅延プロファイルを記憶するためのメモリ容量を低減することができる。

【0023】つぎの発明にかかる直接符号分割多重アクセス用のパス検出装置の制御方法は、前記第2の制御工程は、前記一つまたは複数の拡散符号に対応するパスが存在すると判定された場合には、この拡散符号を前記マッチドフィルタに供給するとともに、当該拡散符号の時間窓に近隣する時間窓の拡散符号を時分割で前記マッチドフィルタに供給することを特徴とする。

【0024】この発明によれば、一つまたは複数の拡散符号に対応するパスが存在すると判定された場合には、この拡散符号をマッチドフィルタに供給するとともに、当該拡散符号の時間窓に近隣する時間窓の拡散符号を時分割でマッチドフィルタに供給することとしたので、パスの存在する観測時間窓に隣接する観測時間窓の遅延プロファイルを効率良く作成することができる。

【0025】

【発明の実施の形態】以下に添付図面を参照して、この発明にかかるDS-CDMA用のパス検出装置およびその制御方法の好適な実施の形態を詳細に説明する。

【0026】実施の形態1. 図1は、実施の形態1にかかるパス検出回路の回路構成を示すブロック図である。同図に示すように、このパス検出回路は、マッチドフィルタ100と、拡散符号レプリカ発生器104、同相加算器105と、2乗器17と、電力加算器106と、パス選択器19と、制御回路107とからなる。ここで、このマッチドフィルタ100は、従来のマッチドフィルタ10に対して新たなレジスタ101および102と、スイッチ103とを加え、このスイッチ103の切り替えによって、相関演算用の拡散符号レプリカを切り替えるよう構成している。また、従来の拡散符号レプリカ発生器20に代えて、拡散符号レプリカ発生器104を設けている。ここで、この拡散符号レプリカ発生器104は、位相の異なる2つの拡散符号レプリカを発生して、その一方をレジスタ14に出力し、他方をレジスタ102に出力する回路である。

【0027】制御回路107は、レジスタ14用の拡散符号レプリカを発生するだけではなく、このレジスタ14用の拡散符号レプリカよりも1シンボル時間分だけ位相の遅れた拡散符号レプリカについても同時に発生するよう拡散符号レプリカ発生器104を制御する。この1シンボル時間分だけ位相の遅れた拡散符号レプリカは、マッチドフィルタ100内のレジスタ102に格納される。レジスタ101および102は、従来のマッチドフィルタ10においても設けられていたレジスタ13および14と同様に機能する部位であり、1シンボル毎にレジスタ102の内容をレジスタ101にロードする。スイッチ103は、レジスタ13およびレジスタ101の2つの拡散符号レプリカを1サンプル内に切り替えるスイッチであり、このスイッチ103を用いることにより、マッチドフィルタ100から1サンプル毎に2つの相関値が出力される。

【0028】そして、図示しないA/Dコンバータによってサンプリングされた受信信号がマッチドフィルタ100に入力されると、この受信信号はサンプル毎にマッチドフィルタ100内のシフトレジスタ11に入力される。そして、このシフトレジスタ11に入力された信号は、スイッチ103を介してレジスタ13およびレジスタ101に格納された拡散符号レプリカとそれぞれ乗算し、これを加算器15で加算して相関値を算出し、算出した相関値をマッチドフィルタ100から出力する。

【0029】図2は、図1に示す同相加算器105および電力加算器106の構成を示すブロック図である。同図(a)および(b)に示すように、マッチドフィルタ100からは1サンプルにつき2つの相関値が出力されるので、同相加算器105が有するメモリ105aのメモリサイズと、電力加算器106が有するメモリ106aのメモリサイズは、それぞれ2Tsとなる。なお、パス選択回路19には、従来の2倍の数の信号が入力される。

【0030】図3は、図1に示すレジスタ13とレジスタ101との拡散符号レプリカの切替えの様子を示す図である。同図(a)に示すように、レジスタ13には図12(a)に示す従来のものと同様のものが格納されるが、新たに設けたレジスタ101には、このレジスタ13に格納する拡散符号レプリカよりも1シンボル時間分だけ位相が遅れた拡散符号レプリカを格納する。

【0031】同図(a)から明らかなように、 τ_2 時間遅延して受信された遅延波2に対する相関値は、新たに設けたレジスタ101によって取得することができ、マッチドフィルタ100から出力される。このため、同図(b)に示すように、マッチドフィルタ100からは、遅延波2に対応する相関値についても出力することができる。このように、マッチドフィルタ100からは2種類の拡散符号レプリカに対応する相関値が出力され、その一つは、レジスタ13に格納された拡散符号レプリカに対する相関値であり、他方は、レジスタ101に格納された拡散符号レプリカに対する相関値である。

【0032】なお、このマッチドフィルタ100からは、1サンプル毎に2種類の相関値が出力されるため、このマッチドフィルタ100の出力は入力クロック速度となり、この2種類の相関値を時間多重した後

に出力される。

【0033】図4は、図1に示すマッチドフィルタ100から出力される2種類の相関値と入力クロック周期および出力クロック周期との関係を示す図である。同図に示す相関値 X_i は、レジスタ13に格納された拡散符号レプリカに対応する相関値であり、相関値 Y_i は、レジスタ101に格納された拡散符号レプリカに対応する相関値である。同図から明らかなように、このマッチドフィルタ100においては、出力クロック周期が入力クロックの半分となり、また出力クロック周期に

応答して相関値 X_i と相関値 Y_i とが交互に出力される。

【0034】上述してきたように、実施の形態1にかかるパス検出回路100では、たとえ遅延波の遅延時間が T_s 以上となった場合でも、この遅延時間が $2T_s$ の範囲内であれば、遅延波に対応するパスを検出することが可能となる。なお、ここでは説明の便宜上、1組のレジスタ101および102のみをマッチドフィルタ100に付加した場合を示したが、さらに多くのレジスタの組をこのマッチドフィルタ100に配設することにより、より広いパス検出時間幅を得ることが可能となる。ただしこの場合には、図2に示す同相加算器105のメモリ105aのメモリサイズと、電力加算器106のメモリ106aのメモリサイズとを、これに合わせて増加するとともに、スイッチ103において複数のレジスタを切り替えることにより、パス検出範囲を $2T_s$ 以上に拡大することができる。

【0035】実施の形態2. ところで、上記実施の形態1では、パス検出範囲を $2T_s$ 以上に拡大する場合に

は、レジスタ101およびレジスタ102の組を増やすことにより対応することができると説明したが、このレジスタ101およびレジスタ102の組を増やさなくともパス検出範囲を $2T_s$ 以上に拡大することができる。そこで、この実施の形態では、図1に示すパス検出回路を用いてパス検出範囲を $2T_s$ 以上に拡大する場合について説明する。

【0036】図5は、図1に示すパス検出回路を用いて $2T_s$ 以上の遅延波のパスを検出する実施の形態2にかかるパス検出回路の制御手順を示すフローチャートである。同図に示すように、まず最初に制御回路107は、拡散符号レプリカ発生器104に対し2つの拡散符号レプリカを発生してマッチドフィルタ100に出力するよう指示する(ステップS501)。すると、一定時間経過後に $2T_s$ 幅の遅延プロファイルが作成されるので(ステップS502)、この段階でパス選択を行う(ステップS503)。制御回路107は、内部メモリにパス選択結果としてパス位置およびパス電力などの情報を保持する(ステップS504)。

【0037】その後、全時間幅について処理が完了したか否かを判断し(ステップS505)、処理が完了していない場合には(ステップS505否定)、制御回路107は、拡散符号レプリカ発生器104に対して、先程とは位相の異なる2つの拡散符号レプリカを発生してマッチドフィルタ100に出力するように出力タイミングの変更を指示し(ステップS506)、上記ステップS502に以降移行する。すると、一定時間経過後に先ほど作成した時間窓とは別の $2T_s$ 幅の遅延プロファイルが作成されるので、パス選択をおこない(ステップS503)、選択したパス情報を保存して(ステップS504)、全時間幅について処理が完了したか否かを判断する(ステップS505)。

【0038】かかるステップS502~S506の処理を全時間幅について処理が完了するまで繰り返し、全時間幅の処理が完了したならば(ステップS505肯定)、選択した全パス情報に基づいてパス検出をおこない(ステップS507)、ステップS501に移行する。

【0039】上記一連の処理をおこなうことにより、図1に示す構成のパス検出回路を用いた場合であっても、 $2T_s$ 以上の時間幅に対してパス位置やパス電力等の情報を得ることができ、 $2T_s$ 以上の観測時間窓に対して、遅延波を常時検出することが可能となる。このため、パス検出処理に要する時間が長くなるものの、マッチドフィルタ100に設けるレジスタ数を増加し、同相加算器105および電力加算器106のメモリサイズを増やさなくとも、遅延時間の大きな信号のパスを検出することができる。

【0040】実施の形態3. つぎに、図1に示すパス検出回路を用いて $2T_s$ 以上の遅延波のパスを検出する別

10

20

30

40

50

の実施の形態について説明する。図6は、図1に示すパス検出回路を用いて2Ts以上の遅延波のパスを検出する実施の形態3にかかるパス検出回路の制御手順を示すフローチャートである。同図に示すように、制御回路107は、まず最初に、拡散符号レプリカ発生器104に対して2つの拡散符号レプリカを発生してマッチドフィルタ100に出力するよう指示する（ステップS601）。

【0041】すると、一定時間後に2つの遅延プロファイルが作成されるので（ステップS602）、この2つの遅延プロファイルのパス選択結果に基づいて、制御回路107は各遅延プロファイルにパスが存在するか否かを判定する（ステップS603）。その結果、どちらの遅延プロファイルにもパスが存在すると判定された場合には（ステップS604否定）、パスを選択して（ステップS607）、ステップS602に移行する。かかるステップS602～S607からなる図中のループ2に示す遅延プロファイルの作成とパス選択の処理を繰り返す。

【0042】一方、いずれか一方でも遅延プロファイルでパスが存在しないと判定された場合には（ステップS604肯定）、制御回路107は、パスの存在しない遅延プロファイルのメモリをクリアし（ステップS605）、パスの存在しない遅延プロファイルに対応する拡散符号レプリカの位相を変更するように拡散符号レプリカ発生器に指示し（ステップS606）、ステップS602に移行する。このように、かかるステップS602～S606からなる図中のループ1に示す新たな観測時間窓に対する遅延プロファイルの作成処理をおこなう。

【0043】上記一連の処理、すなわちパスの存在しない遅延プロファイルを記憶していたメモリをクリアして、他の観測時間窓を観測するために使用する処理をおこなうことにより、メモリサイズを大きくすることなく2Ts以上の時間窓を観測することができる。

【0044】実施の形態4. つぎに、図1に示すパス検出回路を用いて2Ts以上の遅延波のパスを検出する別の実施の形態について説明する。図7は、図1に示すパス検出回路を用いて2Ts以上の遅延波のパスを検出する実施の形態4にかかるパス検出回路の制御手順を示すフローチャートである。同図に示すように、制御回路107は、まず最初に、拡散符号レプリカ発生器104に対して、2つの拡散符号レプリカを発生してマッチドフィルタ100に出力するよう指示する（ステップS701）。

【0045】すると、一定時間後に2つの遅延プロファイルが作成されるので（ステップS702）、この2つの遅延プロファイルのパス選択結果に基づいて制御回路107は、各遅延プロファイルにパスが存在するか否かを判定する（ステップS703）。その結果、どちらの遅延プロファイルにもパスが存在すると判定された場合

には（ステップS704否定）、パスを選択して（ステップS707）、ステップS702に移行する。かかるステップS702～S707からなる図中のループ2に示す遅延プロファイルの作成とパス選択の処理を繰り返す。

【0046】一方、いずれか一方でも遅延プロファイルでパスが存在しないと判定された場合には（ステップS704肯定）、制御回路107は、パスの存在しない遅延プロファイルのメモリをクリアし（ステップS705）、パスの存在しない遅延プロファイルに対応する拡散符号レプリカの位相を変更するように拡散符号レプリカ発生器に対して指示する。この際、パスの存在する遅延プロファイルに対応する拡散符号レプリカの位相に対してTs前後（1シンボル前後）の位相の拡散符号レプリカを、時分割的に、すなわち一定時間毎に交互に出力するように指示して（ステップS706）、ステップS702に移行する。このように、かかるステップS702～S706からなる図中のループ1に示す新たな観測時間窓に対する遅延プロファイルの作成処理をおこなう。

【0047】上記一連の処理、すなわちパスの存在しない遅延プロファイルを記憶していたメモリをクリアして、このメモリを用いてパスの存在する時間観測窓に隣接する2つの観測時間窓に対する遅延プロファイルを作成することにより、パス位置の変化に追従しながらパスを検出することができる。

【0048】実施の形態5. 図8は、実施の形態5にかかるパス検出回路の回路構成を示すブロック図である。なお、図1に示すパス検出回路の各部位と同様の機能を有するものは同一の符号を付すこととしてその詳細な説明を省略する。同図に示すように、このパス検出回路のマッチドフィルタ800は、制御回路107からの制御信号をライン801を介してスイッチ802に出力する点で図1に示すマッチドフィルタ100と異なる。

【0049】ここで、この制御信号は、オン/オフからなる2値信号であり、この制御信号がオンである場合には、スイッチ802が上記実施の形態1に示す動作をおこない、このパス検出回路は、2Tsの時間幅のパスを検出する回路として動作する。これに対して、この制御信号がオフの場合には、スイッチ802は切替え動作を停止し、このマッチドフィルタ800は、レジスタ13のみの拡散符号レプリカを使って相関演算をおこなう。

【0050】したがって、このパス検出回路は、セル半径の大きなマクロセルのような遅延波の遅延時間が大きなケースだけではなく、マイクロセルのように遅延波の遅延時間がさほど大きくないケースが想定されるシステムに適用する場合に有効である。具体的には、遅延波の遅延時間が大きな場合には、制御回路107からオン信号をスイッチ103に出力することによりこのスイッチ802を切り替え動作させて大きく遅延した信号のパス

を検出し、逆に遅延波の遅延時間が小さな場合には、制御回路107からオフ信号を出力してスイッチ802を固定する。

【0051】 上述してきたように、この実施の形態5にかかるパス検出回路では、制御回路107からの制御信号によって、スイッチ802の動作を制御するよう構成したので、マイクロセルのような遅延時間の小さいシステムに適用する場合にはマッチドフィルタ800からの出力信号のクロック速度を従来と同速度まで低減し、もってパス検出回路の消費電力を抑制できるという効果が得られる。

【0052】

【発明の効果】 以上説明したように、この発明によれば、制御手段のタイミング制御の下で拡散符号発生手段が位相の異なる複数の拡散符号を発生し、発生した位相の異なる複数の拡散符号をそれぞれ複数のレジスタに格納し、該複数のレジスタに格納された位相の異なる複数の拡散符号を一サンプル時間内に受信信号に適用して、一サンプルごとに複数の相関値を算出し、所望の観測時間幅分の容量を有するメモリを用いて複数の遅延プロファイルを作成するよう構成したので、遅延時間の長い遅延波のパスについても効率良く検出し、もって遅延時間が遅れた場合であっても効率良くレイク受信をおこなうことができるという効果を奏する。

【0053】 つぎの発明では、一サンプルごとに複数の相関値を算出するか否かの指示内容に回答して、複数のレジスタに格納された位相の異なる複数の拡散符号を受信信号に適用して複数の相関値を算出するか、または所定のレジスタに格納された拡散符号のみを受信信号に適用して一つの相関値を算出するよう構成したので、遅延時間が大きな場合と遅延時間が小さな場合で処理形態を変え、マイクロセルのような遅延時間の小さなシステムに適用する場合には、パス検出装置の消費電力を低減することができるという効果を奏する。

【0054】 つぎの発明では、マッチドフィルタに複数の第1のレジスタおよび第2のレジスタと、第1のレジスタに格納した拡散符号をシフトレジスタに格納した受信信号に切替適用する切替手段とを設け、拡散符号生成手段では複数の第2のレジスタにそれぞれ格納する複数の拡散符号を発生し、巡回加算手段では、所望の観測時間幅分の容量のメモリを用いて複数の遅延プロファイルを作成するよう構成したので、遅延時間の長い遅延波のパスについても効率良く検出し、もって遅延時間が遅れた場合であっても効率良くレイク受信をおこなうことができるという効果を奏する。

【0055】 つぎの発明では、複数の拡散符号に含まれる未処理の拡散符号を所定の時間適用して遅延プロファイルを取得し、取得した一つまたは複数の遅延プロファイルからパス位置とパスレベルを検出して記憶部に記憶する処理を未処理の拡散符号がなくなるまで繰り返し、

この処理工程後に記憶部に記憶したパス位置とパスレベルに基づいて最終的なパスを選択するよう構成したので、ハードウェアを増加することなく遅延時間の長い遅延波のパスを効率良く検出し、装置の価格上昇および大型化を抑制できるという効果を奏する。

【0056】 つぎの発明では、一つまたは複数の遅延プロファイルに基づいて処理対象の拡散符号に対応するパスが存在するか否かを判定し、この一つまたは複数の拡散符号に対応するパスが存在しないと判定された場合には、パスの存在しない遅延プロファイルの内容をメモリから消去し、消去したメモリ上に、他の拡散符号に対応して作成された遅延プロファイルを記憶するよう構成したので、遅延プロファイルを記憶するためのメモリ容量を低減し、装置の価格上昇を抑制することができるという効果を奏する。

【0057】 つぎの発明では、一つまたは複数の拡散符号に対応するパスが存在すると判定された場合には、この拡散符号をマッチドフィルタに供給するとともに、当該拡散符号の時間窓に近隣する時間窓の拡散符号を時分割でマッチドフィルタに供給するよう構成したので、パスの存在する観測時間窓に隣接する観測時間窓の遅延プロファイルを効率良く作成し、パス位置の変化に追従しながらパスを検出することができるという効果を奏する。

【図面の簡単な説明】

【図1】 実施の形態1にかかるパス検出回路の回路構成を示すブロック図である。

【図2】 図1に示した同相加算器および電力加算器の構成を示すブロック図である。

【図3】 図1に示したレジスタ13とレジスタ101との拡散符号レプリカの切替えの様子を示す図である。

【図4】 図1に示したマッチドフィルタ100から出力される2種類の相関値と入力クロック周期および出力クロック周期との関係を示す図である。

【図5】 図1に示したパス検出回路を用いて2Ts以上の遅延波のパスを検出する実施の形態2に係わるパス検出回路の制御手順を示すフローチャートである。

【図6】 図1に示したパス検出回路を用いて2Ts以上の遅延波のパスを検出する実施の形態3に係わるパス検出回路の制御手順を示すフローチャートである。

【図7】 図1に示したパス検出回路を用いて2Ts以上の遅延波のパスを検出する実施の形態4に係わるパス検出回路の制御手順を示すフローチャートである。

【図8】 実施の形態5にかかるパス検出回路の回路構成を示すブロック図である。

【図9】 従来におけるパス検出回路の構成を示すブロック図である。

【図10】 図9に示した同相加算器および電力加算器の構成を示す図である。

【図11】 1シンボル長がTsである入力信号がTs

15

に等しい段数のマッチドフィルタに入力された場合におけるマッチドフィルタの内部状態を示す図である。

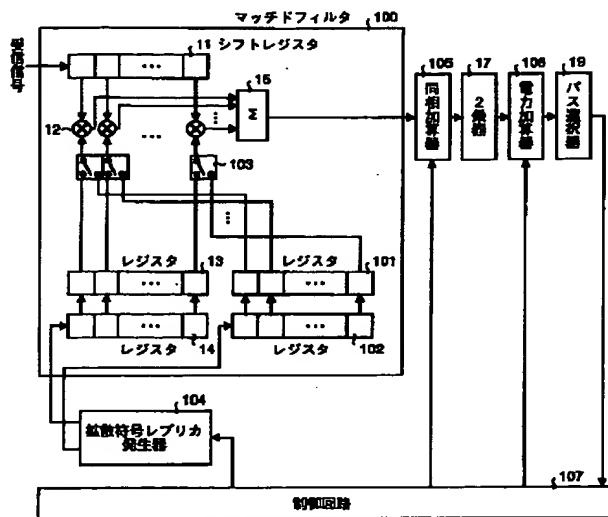
【図12】 マッチドフィルタ内の拡散符号レプリカが切り替えられる様子を示す図である。

【符号の説明】

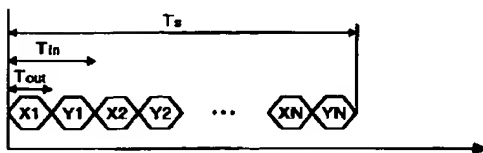
10 マッチドフィルタ、11 シフトレジスタ、12 乗算器、13、14レジスタ、15 加算器、16 同相加算器、17 2乗器、18 電力加算器、19 パス選択器、20 拡散符号レプリカ発生器、21 *

10

【図1】



【図4】



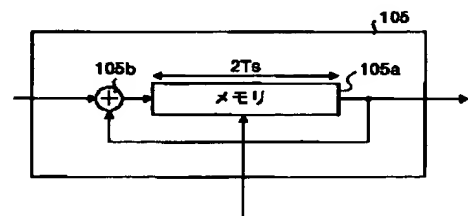
X_i, Y_i : マッチドフィルタ出力相関値
 T_{in} : マッチドフィルタ入力クロック周期
 T_{out} : マッチドフィルタ出力クロック周期

16

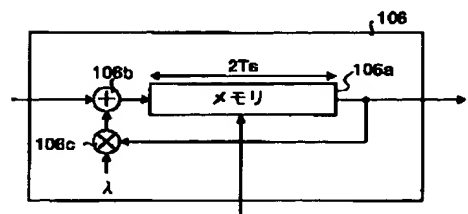
* 制御回路、16a メモリ、16b 加算器、18a メモリ、18b 加算器、18c 乗算器、100 マッチドフィルタ、101、102 レジスタ、103 スイッチ、104 拡散符号レプリカ発生器、105 同相加算器、106 電力加算器、105a メモリ、105b 加算器、106a メモリ、106b 加算器、106c 乗算器、800 マッチドフィルタ、801 ライン、802 スイッチ部。

【図2】

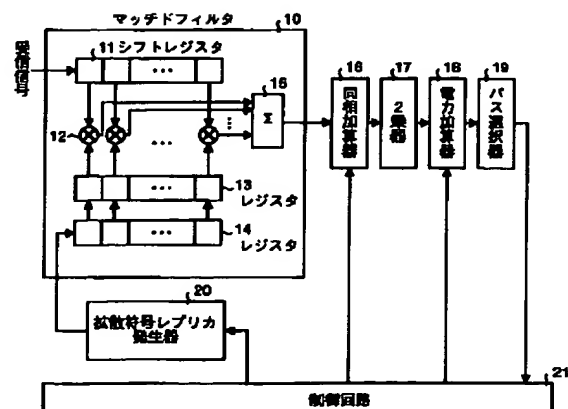
(a) 同相加算器



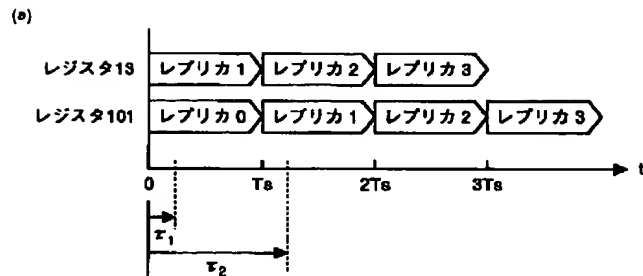
(b) 電力加算器



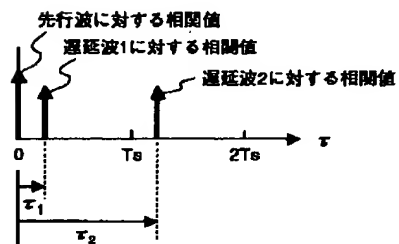
【図9】



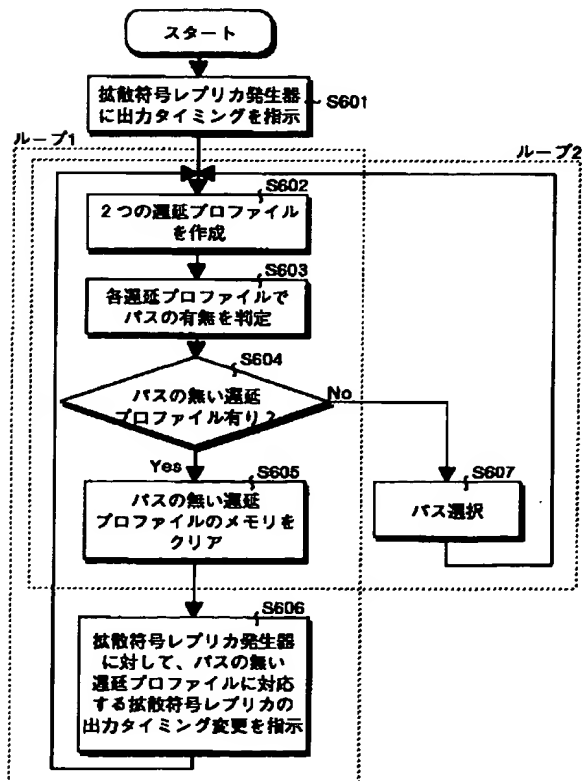
【図3】



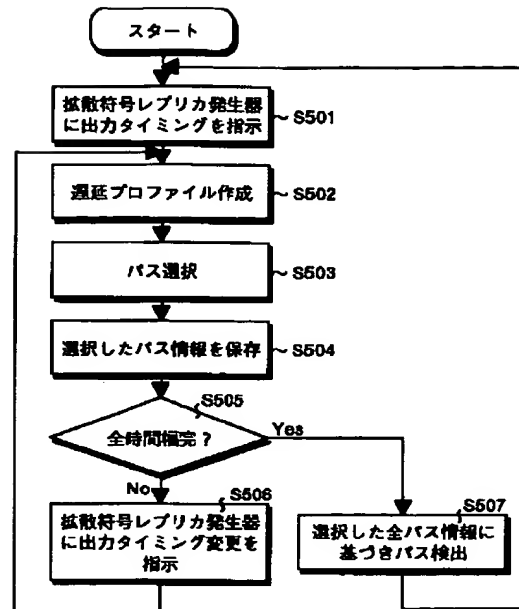
(b)



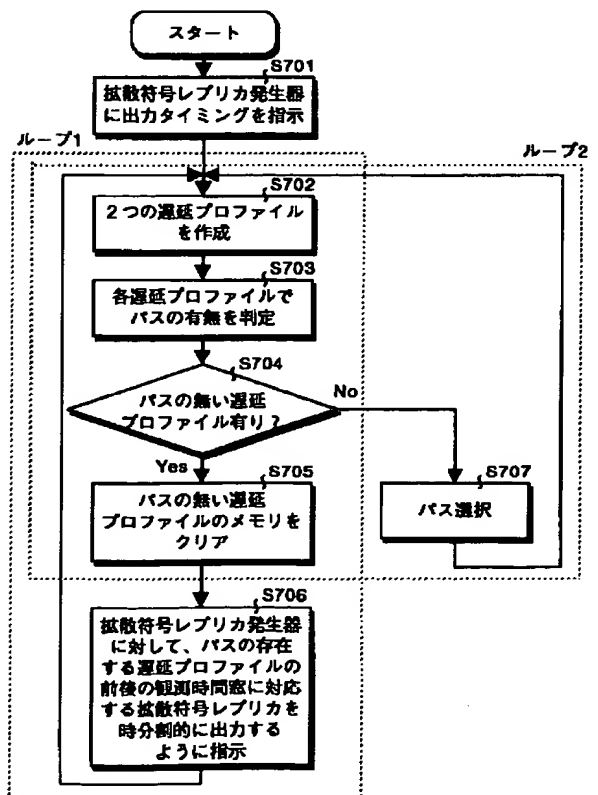
【図6】



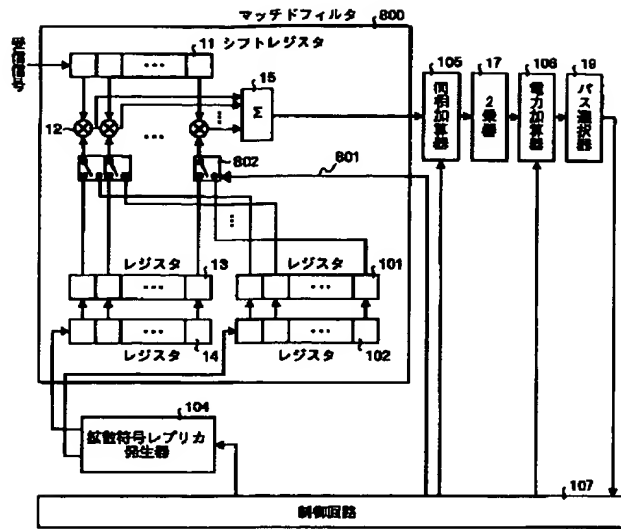
【図5】



【図7】

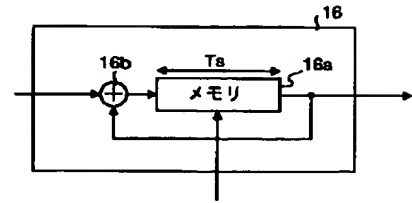


【図8】

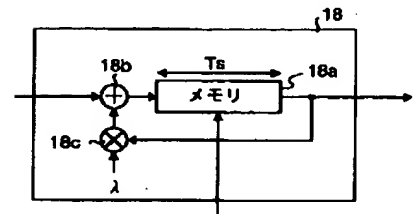


【図10】

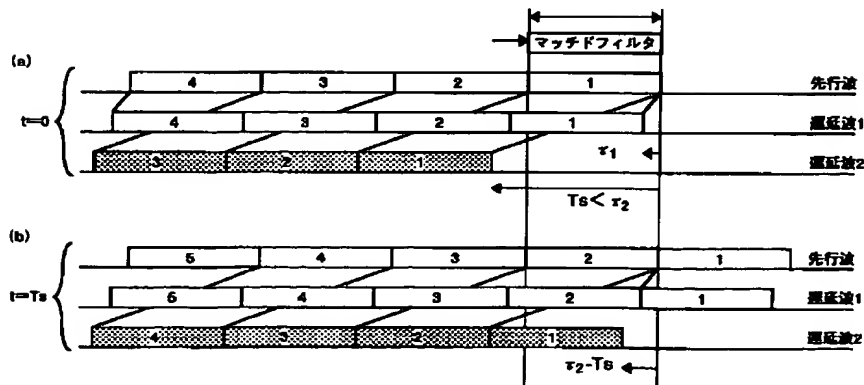
(a) 同相加算器



(b) 電力加算器



【図11】



【図12】

